

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-091590

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

H01L 29/786

H01L 21/336

H01L 21/205

H01L 21/316

(21)Application number : 10-262130

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 16.09.1998

(72)Inventor : MIYASAKA MITSUTOSHI

(54) MANUFACTURE OF THIN-FILM SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To manufacture a thin film semiconductor device of high performance and high reliability at a relatively low temperature by depositing an insulation film continuously through plasma chemical vapor deposition after irradiating a semiconductor film with plasma consisting of mixture gas of rare gas and oxidizing gas.

SOLUTION: First as a first process, a semiconductor film of polycrystalline silicon is formed on an insulating substance of a layer insulation film, etc., of a glass substrate. Then, as a second process, an insulation film is formed on a semiconductor film at about 450° C or lower. The insulating film is formed by forming a first plasma oxide film in a semiconductor film surface layer part, by irradiating a semiconductor film formed in the first process with plasma consisting of mixture gas of rare gas such as helium and oxidizing gas such as oxygen and furthermore depositing a second deposition insulation film continuously by plasma chemical vapor deposition. In this way, a quality interface transition region and high performance for a thin-film semiconductor device can be realized readily.

LEGAL STATUS

[Date of request for examination]

07.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-91590

(P2000-91590A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L	29/786	H 0 1 L 29/78	6 1 7 V 5 F 0 4 5
	21/336	21/205	5 F 0 5 8
	21/205	21/316	X
	21/316		

審査請求 未請求 請求項の数16 O L (全 9 頁)

(21) 出願番号 特願平10-262130
(22) 出願日 平成10年9月16日 (1998.9.16)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 宮坂 光敏
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(74) 代理人 100093388
弁理士 鈴木 喜三郎 (外2名)

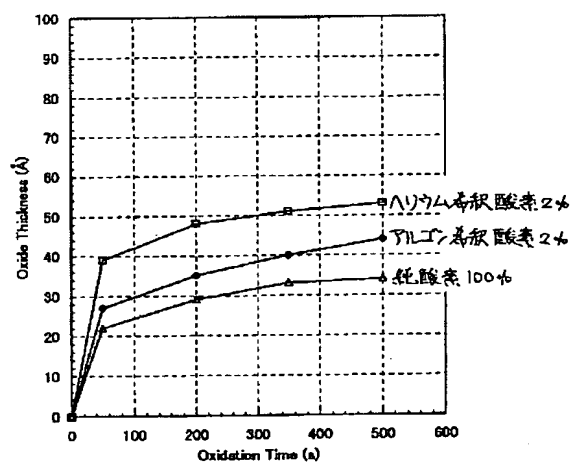
最終頁に続く

(54) 【発明の名称】 薄膜半導体装置の製造方法

(57) 【要約】

【課題】 高速動作が可能な優良な多結晶性薄膜半導体装置を比較的低温で製造する。

【解決手段】 ゲート絶縁膜をプラズマ酸化法と堆積法とで形成する。プラズマ酸化法の際には酸素を希ガスで希釈して、プラズマを立てる。



【特許請求の範囲】

【請求項1】 絶縁性物質上に形成された半導体膜と、該半導体膜上に形成された絶縁膜とを少なくとも構成要件として有する半導体装置の製造方法に於いて、半導体膜を形成する第一工程と絶縁膜を形成する第二工程とを含み、

該第二工程は希ガスと酸化性気体との混合気体から成るプラズマを該半導体膜に照射した後に、連続してプラズマ化学気相堆積法（PECVD法）にて絶縁膜を堆積する工程を少なくとも含む事を特徴とする薄膜半導体装置の製造方法。

【請求項2】 前記半導体膜が多結晶膜で有る事を特徴とする請求項1記載の薄膜半導体装置の製造方法。

【請求項3】 前記半導体膜が硅素（Si）を主体と成して居る事を特徴とする請求項1または2記載の薄膜半導体装置の製造方法。

【請求項4】 前記絶縁膜が酸化硅素（ SiO_x ： $0 < x \leq 2$ ）を主体と成して居る事を特徴とする請求項1乃至3のいずれかに記載の薄膜半導体装置の製造方法。

【請求項5】 前記プラズマのプラズマ源がラジオ波（rf波）で有る事を特徴とする請求項1乃至4のいずれかに記載の薄膜半導体装置の製造方法。

【請求項6】 前記プラズマのプラズマ源が超高周波（VHF波）で有る事を特徴とする請求項1乃至4のいずれかに記載の薄膜半導体装置の製造方法。

【請求項7】 前記プラズマのプラズマ源がマイクロ波で有る事を特徴とする請求項1乃至4のいずれかに記載の薄膜半導体装置の製造方法。

【請求項8】 前記第二工程中の基板温度が450℃程度以下で有る事を特徴とする請求項1乃至7のいずれかに記載の薄膜半導体装置の製造方法。

【請求項9】 前記第二工程中の基板温度が425℃程度以下で有る事を特徴とする請求項1乃至7のいずれかに記載の薄膜半導体装置の製造方法。

【請求項10】 前記混合気体中に占める酸化性気体の割合が1%程度以上10%程度以下で有る事を特徴とする請求項1乃至9のいずれかに記載の薄膜半導体装置の製造方法。

【請求項11】 前記混合気体中に占める酸化性気体の割合が1%程度以上6%程度以下で有る事を特徴とする請求項1乃至9のいずれかに記載の薄膜半導体装置の製造方法。

【請求項12】 前記混合気体中に占める酸化性気体の割合が1.5%程度以上4.5%程度以下で有る事を特徴とする請求項1乃至9のいずれかに記載の薄膜半導体装置の製造方法。

【請求項13】 前記混合気体中に占める酸化性気体の割合が2%程度以上4%程度以下で有る事を特徴とする請求項1乃至9のいずれかに記載の薄膜半導体装置の製造方法。

【請求項14】 前記プラズマのプラズマ源がラジオ波（rf波）で有り、且つ前記混合気体中に占める酸化性気体の割合が1%程度以上6%程度以下で有る事を特徴とする請求項1乃至4のいずれかに記載の薄膜半導体装置の製造方法。

【請求項15】 前記第二工程中の基板温度が425℃程度以下で、且つ前記混合気体中に占める酸化性気体の割合が1.5%程度以上4.5%程度以下で有る事を特徴とする請求項1乃至7のいずれかに記載の薄膜半導体装置の製造方法。

【請求項16】 前記半導体膜が多結晶で有り、且つ前記第二工程中の基板温度が425℃程度以下で有り、前記プラズマのプラズマ源がラジオ波（rf波）で有り、更に前記混合気体中に占める酸化性気体の割合が2%程度以上4%程度以下で有る事を特徴とする請求項1、3、および4のいずれかに記載の薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ（TFT）等に代表される薄膜半導体装置の製造方法に関する。更に詳しくは、本願発明は高性能で信頼性に富む薄膜半導体装置を450℃程度以下の比較的低温にて製造する方法に関する。

【0002】

【従来の技術】多結晶硅素薄膜トランジスタ（p-Si TFT）に代表される半導体装置を安価な汎用ガラス基板を使用し得る450℃程度以下の低温にて製造する場合、従来以下の如き製造方法が取られて居た。まずエキシマレーザ照射法などで多結晶硅素膜（p-Si膜）形成した後、ゲート絶縁膜と成る酸化硅素膜を化学気相堆積法（CVD法）や物理気相堆積法（PVD法）にて100nm程度に形成する。次にタンタル等でゲート電極を作成して、金属（ゲート電極）－酸化膜（ゲート絶縁膜）－半導体（多結晶硅素膜）から成る電界効果トランジスタ（MOS-FET）を構成せしめて居た。

【0003】

【発明が解決しようとする課題】しかしながら此等従来の半導体装置の製造方法では半導体膜と酸化硅素膜との界面が汚れていたり、界面準位が大きい等の多くの問題を抱えて居り、その界面特質が窮めて貧弱で有るとの課題を有して居た。斯くした事実と則し、従来の製造方法にてp-Si TFT等の半導体装置を製造すると、完成した半導体装置はその電気特性が悪いにのみならず、使用用途上に経時劣化が生ずる等の信頼性にも課題を有して居た。

【0004】そこで本発明は上述の諸事情を鑑み、その目的とする所は450℃程度以下との低温工程で清浄な界面を有する優良な半導体装置を製造する方法を提供する事に有る。

【0005】

【課題を解決するための手段】本発明は絶縁性物質上に形成された半導体膜と、この半導体膜上に形成された酸化硅素に代表される絶縁膜の二者を構成要件として含んで居る半導体装置の製造方法に関し、少なくとも以下の二工程を以てその特徴と為す。即ち半導体膜を形成する第一工程と、450℃程度以下との比較的低温にて絶縁膜を半導体膜上に形成する第二工程とで有る。第二工程では希ガスと酸化性気体との混合気体から成るプラズマを第一工程で得られた半導体膜に照射した後に、連続してプラズマ化学気相堆積法（PECVD法）にて絶縁膜を堆積する工程を少なくとも含んで居る。

【0006】

【発明の実施の形態】まず本発明は第一工程としてガラス基板や三次元半導体装置の層間絶縁膜等の縁性物質上に多結晶硅素（ $p-Si$ ）に代表される半導体膜を形成する。この半導体膜は単結晶状態に有っても、多結晶状態に有っても、或いは非晶質状態に有っても構わないが、多結晶状態に有る時に本願発明は殊の外その効果を示す。此は本願発明が半導体膜と絶縁膜との界面に存在する捕獲準位（界面準位）を低減せしめると共に、結晶粒と結晶粒との間に位置する捕獲準位（粒界準位）をも低減せしめるが故で有る。言う迄もなく界面準位は結晶状態に拘わらず半導体膜と絶縁膜との接合界面には必ず存在する。この界面準位を低減させるから、本願発明は半導体膜の状態の如何に拘わらず有効なので有る。一方、多結晶膜に対しては此の効果に加え、粒界準位を減らすとの効果も認められる。半導体膜は硅素（ Si ）や硅素ゲルマニウム（ Si_xGe_{1-x} ： $0 < x < 1$ ）等如何なる半導体物質で有っても構わないが、簡便に良好なMOS界面を構成するとの観点からは、硅素単体や硅素をその主構成元素（硅素原子構成比が80%程度以上）として居る半導体物質が優れて居る。半導体膜は物理気相堆積法（PVD法）や化学気相堆積法（CVD法）等の気相堆積法等で形成される。PVD法にはスパッター法や蒸着法等が考えられる。又CVD法には常圧化学気相堆積法（APCVD法）や低圧化学気相堆積法（LPCVD法）、プラズマ化学気相堆積法（PECVD法）等が使用され得る。気相堆積法で形成された半導体膜は、堆積直後には通常多結晶状態か非晶質状態に、又は此等の混合状態に有る。多結晶状態に有る薄膜は多結晶膜と称され、非晶質状態や混合状態に有る薄膜は非晶質膜や混晶質膜と其々称される。半導体装置の能動部（電界効果型トランジスタのソース・ドレイン領域やチャンネル形成領域、及びバイポーラ型トランジスタのエミッター・ベース・コレクター領域）としては堆積直後に得られた多結晶膜をその促使用する事も可能で有る。此とは対照的に非晶質膜や混晶質膜を結晶化したり、或いは多結晶膜を再結晶化するなどして、新たな多結晶膜を得た後に此等を能動部として使用する事も可能で有る。

る。結晶化や再結晶化を簡単に行うにはレーザー照射や急速熱処理が用いられる。

【0007】次に第二工程として絶縁膜を半導体膜上に形成する。絶縁膜の形成は高くとも450℃程度以下の温度、通常は400℃程度以下の温度で行われる。此は本願が対象として居る半導体装置を非晶質硅素薄膜半導体装置（ $a-Si$ TFT）が製造される汎用ガラス基板や、プラスチック基板等の耐熱性の乏しい基板上に製造する事を前提として居るからで有る。此の絶縁膜をMOS-FETのゲート絶縁膜として利用する。絶縁膜はヘリウム（ He ）やネオン（ Ne ）、アルゴン（ Ar ）、クリプトン（ Kr ）、キセノン（ Xe ）と云った希ガスと、酸素（ O_2 ）や水（ H_2O ）、亜酸化窒素（ N_2O ）と云った酸化性気体との混合気体から成るプラズマを、第一工程で形成された半導体膜に照射して半導体膜表層部に第一のプラズマ酸化膜を形成した後に、更に連続してプラズマ化学気相堆積法（PECVD法）にて第二の堆積絶縁膜を堆積する事で形成される。第一のプラズマ酸化膜は半導体膜表面に4nm程度から10nm程度の厚みを有して形成される。通常の薄膜半導体装置ではゲート絶縁膜として30nm程度から150nm程度の厚みを必要とするので、第二の堆積絶縁膜は残りの厚みを受け持ち、その値は20nm程度から146nm程度と成る。第一のプラズマ酸化膜が4nm程度以上有れば界面遷移領域全体が清浄と化し、酸化膜捕獲準位や界面捕獲準位と言った準位が低減されて界面特性が著しく改善される。此はプラズマ酸化に依り界面が半導体膜の内部に移動し、元の汚れた界面が界面遷移領域の外に出る事に由来する。第一工程で形成された半導体膜が硅素を主体としてたから、此の半導体膜の酸化に依って得られた第一のプラズマ酸化膜の主構成物質は酸化硅素（ SiO_x ： $0 < x \leq 2$ ）と成る。第二の堆積絶縁膜としては酸化硅素（ SiO_x ： $0 < x \leq 2$ ）や窒化硅素（ Si_3N_x ： $0 < x \leq 4$ ）、或いは此等の積層膜が適して居る。

【0008】希ガスと酸化性気体との混合気体から成るプラズマの半導体膜への照射はプラズマ化学気相堆積装置（PECVD装置）等のプラズマ生成装置にて行う。プラズマ源としてはラジオ波（rf波：13.56MHzや此の正数倍の周波数で27.12MHz等）や超高周波（VHF波：100MHz程度から数百MHzの周波数を有する電磁波）、或いはマイクロ波（2.45GHzや8.3GHz等のGHz帯の周波数を有する電磁波）が使用される。超高周波やマイクロ波を用いればプラズマ密度が上がるので、酸化が迅速に進行する。しかしながら550mm×650mmと云った様な大型基板に対応する汎用PECVD装置を使用出来るとの観点からは13.56MHzに代表されるラジオ波の使用が最適で有る。混合プラズマの照射を行う際には、希ガスと酸化性気体との混合気体中に占める酸化性気体の割合を

1%程度以上10%程度以下とする。特にラジオ波をプラズマ源としているPECVD装置を使用する場合にはプラズマ密度の低下に応じて、酸化性気体の割合を1%程度以上6%程度未満とせねばならない。これは本願発明が希ガスの励起状態を多量に生成し、此の励起状態からのエネルギー遷移を以て酸化性気体の原子状活性種（酸素原子活性種 O^* や水酸基活性種 OH^* 、一酸化窒素活性種 NO^* 、窒素原子活性種 N^* ）を生成し、半導体膜表面の酸化乃至は窒化やニトロ化を促進するとの原理に基づいて居るからである。従来のプラズマ酸化では、例えば純酸素のプラズマを用いて多結晶性シリコン膜表面の酸化を行って居た。此の場合、プラズマ中に発生する活性種の殆ど総てが酸素分子の活性種（ O_2^* ）で有る。本願の様にシリコン等の半導体物質表面や多結晶性半導体膜の粒界面部を450℃程度未満の低温で酸化させる場合、酸素原子が半導体構成原子間に効果的に入り込まねばならない。酸素分子の活性種では分子が原子に解離する必要があり、此の解離エネルギーの多くは半導体膜から熱的に供給されて居る。それ故、基板温度が450℃程度未満との低温では酸化の進行が著しく抑制されて仕舞うのである。此に対して本願ではプラズマ中に希ガスの活性種を多量に生成する。希ガスの活性種は励起エネルギーが20eV程度と高い。一方、例えば酸素分子が二つの酸素原子に解離し、その内の一つの酸素原子が第一励起状態に迄達する総エネルギーは凡そ18eVで有る。従って酸素分子が希ガスの励起種からエネルギーを受け取れば、容易に酸素原子の第一励起種、即ち酸素原子活性種が生成される。斯うして生成された酸素原子活性種は化学的に窮めて活性で、450℃乃至は400℃程度未満との低温で有っても半導体原子の格子間に容易に入り込んだり、或いは粒界面部に於ける不対結合対を終端する事が出来、斯くして半導体膜の低温での酸化が進行する訳である。此の場合、酸化性気体の割合が1%程度未満ではプラズマ中の酸化性気体原子活性種の数少なく、逆に10%程度以上だと希ガスの活性種の数減少して酸化気体分子活性種が増えて仕舞う為、矢張り酸化性原子活性種数は減って仕舞う。取り分けプラズマ密度の低いラジオ波を用いたプラズマでは酸化性気体原子活性種数を多くする必要があり、混合気体中に於ける酸化性気体の割合を1%程度以上6%程度未満とせねばならない。斯うすればrfプラズマで有っても界面準位が低い良質な酸化膜を、比較的速い成膜速度で形成出来る訳である。本願発明の半導体装置の製造工程中でプラズマ酸化工程を除いた最高温度は半導体膜堆積時で凡そ425℃程度と成って居る。此の半導体装置製造工程中での最高温度以下、或いは半導体膜堆積時の温度以下、即ち425℃程度以下の低温で第二工程を行うには、低温化に伴う酸化反応速度の低下を補償する為に酸化性気体原子活性種数を最大とせねばならず、故に混合気体中に於ける酸化性気体の割合を1.5%程度以上

4.5%程度未満とする必要が有る。更に結晶粒界が存在する多結晶性半導体膜に於いては、粒界での乱れた結合を解き放して此等に酸素を新たに結合させる必要が有る為、優良な半導体装置を得るには混合気体中に於ける酸化性気体の割合を2%程度以上4%程度未満とするのが好ましい。尚、低温でのプラズマ酸化を促進するにはプラズマ酸化の直前に基板を希釈沸酸水溶液等に浸して、半導体膜表面や粒界面部を水素で終端化しておく。斯うすると半導体膜表面等は秩序有る状態と成っており、乱れた結合を解く必要がないので酸化が容易に進行する。

【0009】希ガスと酸化性気体との混合気体から成るプラズマを半導体膜に照射する時の基板温度は高めれば高い程、形成される酸化膜の品質が向上し、酸化速度も速く成る。比較的良質な酸化膜を得るには基板温度は低くとも100℃程度以上で有る事が望ましい。先にも述べた様に450℃程度以下ならば大型汎用ガラス基板の使用が可能と成り、半導体装置製造工程中での最高温度程度以下、即ち425℃程度以下の低温で有れば、先の大規模ガラス基板でその厚みが0.7mm程度以下と云った、非晶質シリコン薄膜半導体装置の製造に使用されて居る総ての汎用ガラス基板を自由に使用出来る様に成る。

【0010】半導体膜表層部に第一のプラズマ酸化膜を形成した後、真空を破る事無く連続して第二の堆積絶縁膜を堆積する。ゲート絶縁膜内での不意な準位形成やゲート絶縁膜への不純物混入等の不具合を避ける為にも、プラズマ酸化が終了した後直ちに、長くとも5分程度以内に第二の堆積絶縁膜の堆積を開始する。プラズマ酸化終了から絶縁膜堆積開始迄の間、プラズマ処理室はプラズマを立てる事を除いて絶縁膜堆積時と同一条件としておく。斯様な工程を実行するには、プラズマ酸化に於ける基板温度と絶縁膜堆積に於ける基板温度とが略同等でなければ成らない。即ち、両者の温度差は大きくとも30℃程度未満とする。斯うする事で先の短時間内で有っても基板温度は平衡に達し、均質な絶縁膜を安定的に堆積する事が可能と成る。

【0011】堆積絶縁膜として酸化シリコンを利用する時には原料気体としてモノシラン（ SiH_4 ）やジシラン（ Si_2H_6 ）、ジクロロシラン（ $Si_2H_2Cl_2$ ）等のシラン気体、乃至はTEOS（ $Si(OC_2H_5)_4$ ）等のシリコン含有化合物と、酸素（ O_2 ）や亜酸化窒素（ N_2O ）等の酸化性気体とを用いる。窒化シリコンを利用する時には上述のシラン気体と、アンモニア（ NH_3 ）や窒素（ N_2 ）等の窒化性気体とを用いる。

【0012】斯様にして半導体膜と、その表層部にプラズマ酸化法にて得られた第一のプラズマ酸化膜とPECVD法にて得られた第二の堆積絶縁膜を形成し、MOS-FETの半導体膜とゲート絶縁膜とを構成する。本願発明では酸化性気体の原子状活性種を多量に生成して、多結晶性半導体膜の粒界面部や半導体膜の表面を効率的に

酸化させるので、斯うした部位に於ける不対結合対の数が著しく減少する。取り分け、多結晶性半導体膜の粒界面部酸化は半導体膜の禁制帯中での捕獲準位数を低減し、以て薄膜半導体装置のサブスレーシュホールド特性や閾値電圧を小さくし、同時に粒界面部に於ける荷電単体の非弾性散乱数を減らす事で移動度の向上をもたらす。又、酸化膜質が高い為に動作信頼性が高く、寿命の長い薄膜半導体装置が得られる。しかも第一のプラズマ酸化膜が4nm程度以上と従来よりも可成り厚く成るので、界面遷移領域(半導体膜と絶縁膜との界面から絶縁膜側に4nm程度の領域)全体が清浄と化して居る。此に対して従来は酸素濃度100%のプラズマ照射を30秒程度行われており、此の場合は酸化が非効率で界面に多量の不対結合対を残して居るにのみならず、(即ち多量の界面捕獲準位を有して居るにのみならず、)プラズマ酸化膜厚も2.5nm程度未満と薄く成っていた。従って従来は界面遷移領域の6割程度未満しか清浄な領域はなく、半導体特性に最も重要な影響を及ぼす界面遷移領域内にフォトレジスト等が乗った元の汚れた表面が来ていた。本願発明では元の汚れた表面は界面遷移領域外に出ており、界面遷移領域全体が清浄と化して居る。此に加えて酸化効率も高く不対結合対数も少なく、それ故半導体特性が向上するので有る。

【0013】(実施例1)本願発明のプラズマ酸化法で効率良くプラズマ酸化膜が形成される事を本実施例1にて示す。プラズマ酸化速度は N 型 $3\Omega\cdot\text{cm}$ (100)の単結晶硅素基板を用いて調べられた。まず硅素基板を次の手順で洗浄した。

【0014】(1)超音波照射に依るイソプロピルアルコール洗浄(27℃、5分間)

(2)窒素バブリングされた純水洗浄(27℃、5分間)

(3)アンモニア過水洗浄(80℃、5分間)

(4)窒素バブリングされた純水洗浄(27℃、5分間)

(5)硫酸過水洗浄(97℃、5分間)

(6)窒素バブリングされた純水洗浄(27℃、5分間)

(7)希釈弗酸水溶液(弗酸濃度1.67%)洗浄(27℃、20秒間)

(8)窒素バブリングされた純水洗浄(27℃、5分間)

上記7番目の希釈弗酸水溶液洗浄により、硅素基板表面に存在する自然酸化膜が除去され、硅素表面は水素に依り終端化されて居る。斯うして洗浄された基板表面にプラズマ酸化膜をPECVD装置にて成長させた。上記8番目の純水洗浄が終了してから基板がPECVD装置のプラズマ処理室に設置される迄の時間は約15分間で有った。

【0015】PECVD装置は枚葉式容量結合型でプラ

ズマは工業用周波数(13.56MHz)のラジオ高周波電源を用いて平行平板電極間に発生させる。プラズマ処理室は反応容器に依り外気から隔離され、プラズマ処理中で凡0.1torrから10torr程度の減圧状態とされる。反応容器内には下部平板電極と上部平板電極が互いに平行に設置されて居り、これら二枚の電極が平行平板電極を形成する。この平行平板電極間がプラズマ処理室となる。本願発明で用いたPECVD装置は470mm×560mmの平行平板電極を備え、此等平行平板電極間距離は下部平板電極の位置を上下させる事に依り、18.0mmから37.0mmの間で自由に設定し得る。此に応じてプラズマ処理室の容積は4738cm³から9738cm³と変化する。又電極間距離を所定の値に設定した場合、470mm×560mmの平板電極面内での電極間距離の偏差は僅か0.5mmで有る。従って電極間に生ずる電界強度の偏差は平板電極面内で2%程度以下となり窮めて均質なプラズマがプラズマ処理室に発生する。下部平板電極上に酸化膜を形成すべき硅素基板を置く。下部平板電極内部にはヒーターが設けられて居り、下部平板電極の温度を250℃から400℃の間で任意に調整し得る。周辺2mmを除いた下部平板電極内の温度分布は設定温度に対して±5℃以内で有り、基板として360mm×465mmとの大きな物を使用しても基板内温度偏差を±2℃以内に保つ事が出来る。希ガスと酸化性気体から成る混合気体は配管を通じて上部平板電極内に導入され、更に上部平板電極内に設けられたガス拡散板の間を擦り抜けて上部平板電極全面より略均一な圧力でプラズマ処理室に流れ出る。処理中で有れば混合気体の一部は上部平板電極から出た所で電離し、平行平板電極間にプラズマを発生させる。混合気体の一部乃至全部は酸化膜の成長に関与し、成長に関与しなかった残留混合気体及び酸化膜形成の化学反応の結果として生じた生成ガスは排気ガスと成って反応容器周辺上部に設けられた排気穴を介して排気される。排気穴のコンダクタンスは平行平板電極間のコンダクタンスに比べて十分に大きく、その値は平行平板電極間のコンダクタンスの100倍以上が好ましい。更に平行平板電極間のコンダクタンスはガス拡散板のコンダクタンスよりも十分に大きく、やはりその値はガス拡散板のコンダクタンスの100倍以上が好ましい。こうした構成に依り470mm×560mmとの大型上部平板電極全面より略均一な圧力で反応ガスがプラズマ処理室に導入され、同時に排気ガスがプラズマ処理室から総ての方向に均等な流量で排気されるので有る。各種反応ガスの流量は配管に導入される前にマス・フロー・コントローラーに依り所定の値に調整される。又プラズマ処理室内の圧力は排気穴出口に設けられたコンダクタンス・バルブに依り所望の値に調整される。コンダクタンス・バルブの排気側にはターボ分子ポンプ等の真空排気装置が設けられて居る。本願発明ではオイル・フリーのドライ・ポン

ブが真空排気装置の一部として用いられ、プラズマ処理室等の反応容器内の背景真空度を 10^{-5} Torr台として居る。反応容器及び下部平板電極は接地電位に有り、これらと上部平板電極は絶縁リングに依り電氣的に絶縁状態が保たれる。プラズマ発生時には高周波発振源から出力された13.56MHzのラジオ高周波がインピーダンス・マッチング回路を介して上部平板電極に印加される。

【0016】本発明に用いたPECVD装置は上述の如く窮めて精巧たる電極間制御と均質なガス流を実現した事に依り360mm×465mmとの大型基板に対応可能な薄膜形成装置となった。しかしながらこれらの基礎概念さえ踏襲すれば、更なる基板の大型化には寧ろ容易に対応出来、実際550mm×650mmとのより大型な基板に対応し得る装置も実現可能で有る。又本願発明では最も汎用性の高い周波数13.56MHzの高周波を用いているが、この他にこの高周波の整数倍の高周波を利用しても良い。例えば2倍の27.12MHzや3倍の40.68MHz、4倍の54.24MHz等も有効で有る。更には100MHz～1GHz程度のVHF波を利用しても良い。周波数が10MHz程度のrf波から数百MHz程度のVHF波で有れば平行平板電極間にプラズマを発生させる事が可能で有る。従って本願発明に用いたPECVD装置の高周波発振源とインピーダンス・マッチング回路を交換する事に依り容易に所望の周波数の高周波を用いてプラズマを発生出来る。

【0017】本実施例1では、基板は下部平板電極の温度が375℃に保たれているプラズマ処理室に設置される。プラズマを立てる事を除いてプラズマ処理室内の条件を酸化過程と同一とする。例えば酸素を100SCCMとヘリウムを4900SCCM流し、プラズマ処理室内の圧力を1.5Torrに保つ。平行平板電極間距離は21.6mmで有る。設置基板がこうした系と平衡状態となった後の硅素基板表面温度は350℃で有る。設置された基板と処理室とが平衡状態に達した後、上部平板電極に高周波を印加してプラズマを発生させ、半導体膜表面の酸化を行う。高周波出力は500Wで有る。プラズマ酸化条件の一例は以下の通りとなる。

【0018】酸素流量： $O_2 = 100 \text{ SCCM}$
ヘリウム流量： $He = 4900 \text{ SCCM}$ （酸素濃度2.0%）
ラジオ高周波出力： $RF = 500 \text{ W}$ （ 0.19 W/cm^2 ）
圧力： $P = 1.5 \text{ Torr}$
電極間距離： $S = 21.6 \text{ mm}$
下部平板電極温度： $T_{sus} = 375^\circ\text{C}$
硅素基板表面温度： $T_{sub} = 350^\circ\text{C}$
プラズマ処理時間： $t = 500 \text{ 秒}$
此の条件下で硅素表面には5.3nmの酸化膜が成長する。以下、酸化速度を調べる為にプラズマ処理時間を5

0秒と200秒、300秒としてプラズマ酸化を行った。又、上例で希ガスをヘリウムからアルゴンに変えて同じプラズマ処理を単結晶硅素基板に施した。斯うして得られた結果を図1に示す。図1中でヘリウム希釈酸素2%と記して有るのが希ガスとしてヘリウムを用いた実施例に相当し、アルゴン希釈酸素2%と記して有るのが希ガスとしてアルゴンを用いた実施例に相当する。更に図1には比較の為に従来技術に当たる酸素100%でのプラズマ酸化の結果（図1中に純酸素100%と記す）をも記す。此の場合、プラズマ処理室に導入する気体が混合気体の5000SCCMから純酸素気体の5000SCCMに変わった他は、比較の為にすべて同じ処理条件とした。図1から分かる様に本願発明に依り従来よりも酸化速度が50%以上も大きくする事が可能と化した。

【0019】（実施例2）図2（a）～（d）はMOS型電界効果トランジスタを形成する薄膜半導体装置の製造工程を断面で示した図で有る。本実施例2では基板101として歪点が650℃程度の汎用無アルカリガラスを用いた。まず基板101上にECR-PECVD法で酸化硅素膜を200nm程度堆積し、下地保護膜102とした。酸化硅素膜のECR-PECVD法での堆積条件は以下の通りで有る。

【0020】
モノシラン（ SiH_4 ）流量・・・60sccm
酸素（ O_2 ）流量・・・100sccm
圧力・・・2.40mTorr
マイクロ波（2.45GHz）出力・・・2250W
印可磁場・・・875Gauss
基板温度・・・100℃
成膜時間・・・40秒

此の下地保護膜上に半導体膜として真性非晶質硅素膜をLPCVD法にて65nm程度の膜厚に堆積した。LPCVD装置はホット・ウォール型で容積が184.5lで、基板挿入後の反応総面積は約44000cm²で有る。堆積温度は425℃で原料ガスとして純度99.99%以上のジシラン（ Si_2H_6 ）を用い、200sccm反応炉に供給した。堆積圧力は凡そ1.1Torrで有り、此の条件下で硅素膜の堆積速度は0.77nm/minで有った。斯様にして得られた非晶質半導体膜にキセノン塩素（ $XeCl$ ）エキシマレーザーを照射して半導体膜の結晶化を進めた。照射レーザーエネルギー密度は425mJ・cm⁻²で、半導体膜が膜厚方向全体に渡り完全溶融して微結晶化が生ずるエネルギー密度よりも10mJ・cm⁻²低いエネルギー密度で有った。レーザー結晶化終了後の多結晶硅素薄膜の厚みは61.8nmで有った。こうして結晶性半導体膜（多結晶硅素膜）を形成した（第一工程）後、この結晶性半導体膜を島状に加工して、後に半導体装置の能動層と成る半導体膜の島103を形成した。（図2-a）

次にパターンニング加工された半導体膜の島103を被う様に酸化硅素膜104をPECVD装置にてプラズマ酸化法と堆積法にて形成(第二工程)した。此の酸化硅素膜は半導体装置のゲート絶縁膜として機能する。ゲート絶縁膜形成に先立ち基板を次の手順で洗浄した。

【0021】(1)超音波照射に依るイソプロピルアルコール洗浄(27℃、5分間)

(2)窒素バブリングされた純水洗浄(27℃、5分間)

(3)アンモニア過水洗浄(80℃、5分間)

(4)窒素バブリングされた純水洗浄(27℃、5分間)

(5)硫酸過水洗浄(97℃、5分間)

(6)窒素バブリングされた純水洗浄(27℃、5分間)

(7)希釈弗酸水溶液(弗酸濃度1.67%)洗浄(27℃、20秒間)

(8)窒素バブリングされた純水洗浄(27℃、5分間)

上記8番目の純水洗浄が終了してから基板がPECVD装置のプラズマ処理室に設置される迄の時間は約15分間で有った。プラズマ処理装置は実施例1に記した物と同一で有り、第一のプラズマ酸化条件は以下の通りで有る。

【0022】酸素流量： $O_2=100\text{SCCM}$

ヘリウム流量： $He=4900\text{SCCM}$ (酸素濃度2.0%)

ラジオ高周波出力： $RF=500\text{W}$ ($0.19\text{W}/\text{cm}^2$)

圧力： $P=1.5\text{Torr}$

電極間距離： $S=21.6\text{mm}$

下部平板電極温度： $T_{sus}=375^\circ\text{C}$

ガラス基板表面温度： $T_{sub}=350^\circ\text{C}$

プラズマ処理時間： $t=300\text{秒}$

此の条件下で硅素表面には5nm程度の酸化膜が成長して居る。プラズマ酸化が終了した後、引き続いて酸化硅素膜の堆積を行う。原料気体の流量を安定させる為にプラズマ酸化後プラズマ処理室を次の状態とした。

【0023】酸素流量： $O_2=1200\text{SCCM}$

アルゴン流量： $Ar=4700\text{SCCM}$

TEOS流量： $TEOS=100\text{SCCM}$

ラジオ高周波出力： $RF=0\text{W}$ (プラズマは立てない)

圧力： $P=1.5\text{Torr}$

電極間距離： $S=20.9\text{mm}$

下部平板電極温度： $T_{sus}=375^\circ\text{C}$

ガラス基板表面温度： $T_{sub}=350^\circ\text{C}$

安定化時間： $t=20\text{秒}$

此の状態に連続して、以下の条件で第二の堆積絶縁膜で有る酸化硅素膜を堆積した。

【0024】酸素流量： $O_2=1200\text{SCCM}$

アルゴン流量： $Ar=4700\text{SCCM}$

TEOS流量： $TEOS=100\text{SCCM}$

ラジオ高周波出力： $RF=1000\text{W}$ ($0.38\text{W}/\text{cm}^2$)

圧力： $P=1.5\text{Torr}$

電極間距離： $S=20.9\text{mm}$

下部平板電極温度： $T_{sus}=375^\circ\text{C}$

ガラス基板表面温度： $T_{sub}=350^\circ\text{C}$

堆積時間： $t=33\text{秒}$

斯様にして第二工程で酸化硅素膜を形成した後、第三工程として基板を酸化性雰囲気下にて第一熱処理を行った。濃度16%の塩化水素酸水溶液を空气中に露点で96℃含む塩酸水蒸気空気下にて熱処理は施こされた。処理温度は345℃で処理時間は2時間、処理室内圧力は1気圧で有った。この塩酸に依る熱処理が終了した後、引き続いて酸化膜中のハロゲン元素を抜く目的で1時間の熱処理を継続した。この熱処理雰囲気は露点96℃の水蒸気含有空気中で行われ、雰囲気中に塩酸は含まれて居ない。熱処理温度は矢張り345℃で圧力は1気圧で有る。

【0025】斯うして第三工程が終了した後には第四工程の第二熱処理を行い、酸化膜を乾燥した。第二熱処理はアルゴン中に水素を3%含む非酸化性雰囲気下にて1気圧、350℃で2時間施された。

【0026】第四工程終了後、直ちに基板は先に記述した平行平板容量結合型PECVD装置に導入され、半導体膜と酸化膜に対して水素プラズマ照射が施された。水素プラズマ条件は以下の通りで有る。

【0027】水素流量： $H_2=1000\text{SCCM}$

ラジオ高周波出力： $RF=100\text{W}$ ($0.038\text{W}/\text{cm}^2$)

圧力： $P=0.5\text{Torr}$

電極間距離： $S=25\text{mm}$

下部平板電極温度： $T_{sus}=350^\circ\text{C}$

ガラス基板表面温度： $T_{sub}=325^\circ\text{C}$

プラズマ処理時間： $t=90\text{秒}$

此の工程が終了した後には第一のプラズマ酸化膜と第二の堆積絶縁膜を合わせた酸化膜の厚みを測定したところ、その値は93.5nmで有った。斯うしてゲート絶縁膜形成と、酸化膜及び界面の改質が完了した。(図2-b)

引き続いて金属薄膜に依りゲート電極105をスパッター法にて形成する。スパッター時の基板温度は150℃で有った。本実施例2では750nmの膜厚を有するタンタル(Ta)にてゲート電極を作成し、このゲート電極のシート抵抗は2.54Ω/□で有った。次にゲート電極をマスクとして、ドナー又はアクセプターとなる不純物イオン106を打ち込み、ソース・ドレイン領域107とチャンネル形成領域108をゲート電極に対して自己整合的に作成する。本実施例2ではCMOS半導体

装置を作製した。NMOSトランジスタを作製する際にはPMOSトランジスタ部をアルミニウム（A1）薄膜で覆った上で、不純物元素として水素中に5%の濃度で希釈されたフォスヒン（ PH_3 ）を選び、加速電圧70kVにて水素を含んだ総イオンを $5 \times 10^{15} \text{ cm}^{-2}$ の濃度でNMOSトランジスタのソース・ドレイン領域に打ち込んだ。反対にPMOSトランジスタを作製する際にはNMOSトランジスタ部をアルミニウム（A1）薄膜で覆った上で、不純物元素として水素中に5%の濃度で希釈されたジボラン（ B_2H_6 ）を選び、加速電圧70kVにて水素を含んだ総イオンを $4 \times 10^{15} \text{ cm}^{-2}$ の濃度でPMOSトランジスタのソース・ドレイン領域に打ち込んだ。（図1-c）イオン打ち込み時の基板温度は300℃で有る。

【0028】次にPECVD法でTEOS（ $\text{Si}(\text{OCH}_2\text{CH}_3)_4$ ）と酸素を原料気体として、基板温度300℃で層間絶縁膜109を堆積した。層間絶縁膜は二酸化硅素膜から成り、その膜厚は凡そ500nmで有った。層間絶縁膜堆積後、層間絶縁膜の焼き締めとソース・ドレイン領域に添加された不純物元素の活性化を兼ねて、窒素雰囲気下350℃にて2時間の熱処理を施した。最後にコンタクト・ホールを開穴し、スパッター法で基板温度を180℃としてアルミニウムを堆積し、配線110を作成して薄膜半導体装置が完成した。（図1-d）

この様にして作成した薄膜半導体装置の伝達特性を測定した。測定した半導体装置のチャンネル形成領域の長さは10μmで幅は10μmで有った。伝達特性の測定は室温にて行われた。NMOSトランジスタの $V_{ds}=8\text{V}$ に於ける飽和領域より求めた移動度は $129 \pm 7 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ で有り、閾値電圧は $3.001 \pm 0.176\text{V}$ 、サブスレーシュホールド・スイングは $0.365 \pm 0.067\text{V}$ で有った。又、PMOSトランジスタの $V_{ds}=-8\text{V}$ に於ける飽和領域より求めた移動度は $84 \pm 2 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ で有り、閾値電圧は $-2.054 \pm 0.168\text{V}$ 、サブスレーシュホールド・スイングは $0.446 \pm 0.048\text{V}$ で有った。

た。此に対してプラズマ酸化を酸素100%で30秒間行った比較例（従来技術に相当、此の時プラズマ酸化膜は2nm程度）ではNMOSの移動度は $73 \pm 6 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ で有り、閾値電圧は $3.791 \pm 0.308\text{V}$ 、サブスレーシュホールド・スイングは $0.556 \pm 0.124\text{V}$ で有った。又、比較例のPMOSの移動度は $75 \pm 2 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ で有り、閾値電圧は $-3.287 \pm 0.439\text{V}$ 、サブスレーシュホールド・スイングは $0.979 \pm 0.325\text{V}$ で有った。此の例が示す様に本願発明に依りN型とP型の両半導体装置共に大きな移動度を有し、急峻なサブスレーシュホールド特性を示す優良な薄膜半導体装置をばらつき無く安定的に製造出来る様に成った。然も界面遷移領域の酸化膜質が高い為に酸化膜の信頼性が良く、超寿命の薄膜半導体装置を汎用ガラス基板を使用し得る低温工程にて、簡便且つ容易に作成し出来る様に成った。

【0029】

【発明の効果】以上詳述してきた様に、従来低品質で有った界面遷移領域の高品質化が本願発明に依り可能と化し、薄膜半導体装置の高性能化を簡便に実現した。これに依り薄膜トランジスタに代表される半導体装置の高速動作や省エネ化を促進し、同時に半導体装置の動作安定性をも高めるとの効果が認められる。

【図面の簡単な説明】

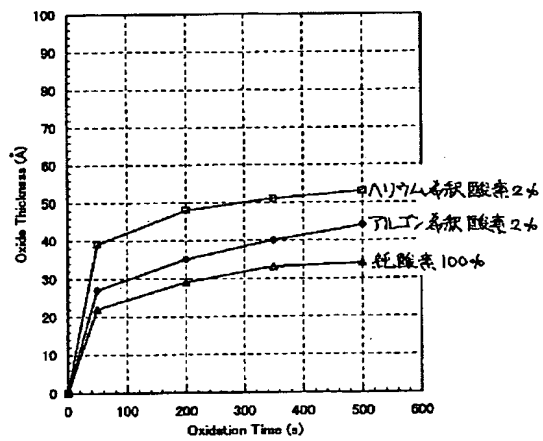
【図1】 本願発明の効果を確認した図。

【図2】 本願発明の製造工程を説明した図。

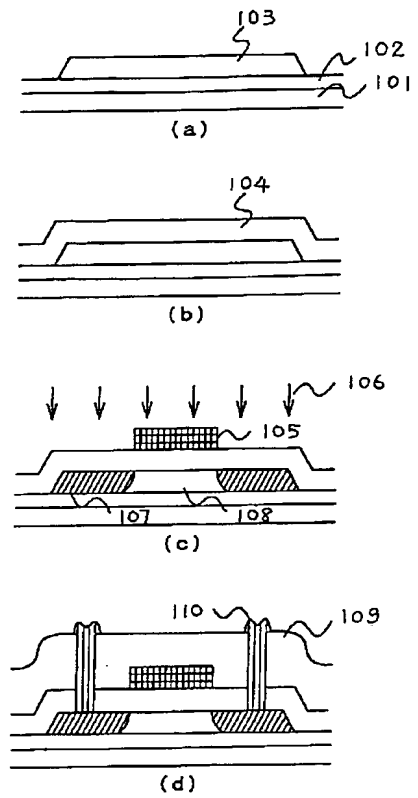
【符号の説明】

- 101・・・基板
- 102・・・下地保護膜
- 103・・・半導体膜の島
- 104・・・酸化硅素膜
- 105・・・ゲート電極
- 106・・・不純物イオン
- 107・・・ソース・ドレイン領域
- 108・・・チャンネル形成領域
- 109・・・層間絶縁膜
- 110・・・配線

【図 1】



【図 2】



フロントページの続き

Fターム(参考) 5F045 AA06 AB03 AC01 AD08 AE21
 AF07 BB16 BB18 CA15 DC51
 HA15
 5F058 BA20 BB04 BB07 BC11 BD01
 BD04 BD10 BD15 BF07 BF23
 BF24 BF25 BF29 BF30 BF32
 BH01 BH16 BH20 BJ01 BJ02